

PAT-NO: JP362026920A
DOCUMENT-IDENTIFIER: JP 62026920 A
TITLE: TIMING GENERATOR
PUBN-DATE: February 4, 1987

INVENTOR-INFORMATION:

NAME	COUNTRY
SENDA, MAKOTO	
MORISHITA, AKIRA	
NAKAMURA, YASUO	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
CANON INC N/A	

APPL-NO: JP60165694
APPL-DATE: July 29, 1985

INT-CL (IPC): H03K005/156 , H03K005/15 , H03K023/54

US-CL-CURRENT: 327/291

ABSTRACT:

PURPOSE: To obtain a timing generator excellent in extending performance and general-purpose applications such as ease of timing design and ease of external setting change of timing period by using a selection circuit to select a delay circuit externally, thereby obtaining plural periods of timings.

CONSTITUTION: A ring counter 100 having a stage number (delay circuit number) corresponding to the maximum period among desired timing periods consists of a selection circuit 103 selecting any of stage outputs by an external command to input the result to the 1st stage of the ring counter, and a OR circuit 101 receiving plural outputs of delay circuits corresponding to the pulse change point and an inverse delay circuit 102. As the input of the OR circuit 101, the

output of the stage corresponding to the position of the desired timing change (0 to 1 or 1 to 0) is selected as the input and the inverse delay circuit 102 changes the logic state only with logical 1 level of logical sum. Thus, the timing period is decided according to the number of stage and the pulse change is decided by the position of the delay circuit. Moreover, the period is changed optionally by the selection circuit 103 up to the total number of the delay circuits externally.

COPYRIGHT: (C)1987,JPO&Japio

⑬ 公開特許公報(A)

昭62-26920

⑮ Int. Cl.⁴

識別記号

庁内整理番号

⑯ 公開 昭和62年(1987)2月4日

H 03 K 5/156
5/15
23/547259-5J
7259-5J
6749-5J

審査請求 未請求 発明の数 1 (全14頁)

⑰ 発明の名称 タイミング発生装置

⑱ 特 願 昭60-165694

⑲ 出 願 昭60(1985)7月29日

⑳ 発 明 者	千 田	誠	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
㉑ 発 明 者	森 下	陽	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
㉒ 発 明 者	中 村	安 夫	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
㉓ 出 願 人	キヤノン株式会社			東京都大田区下丸子3丁目30番2号
㉔ 代 理 人	弁理士 大塚 康徳			

明 細 書

1. 発明の名称

タイミング発生装置

2. 特許請求の範囲

(1) 所定の周期をもつパルス列からなるタイミングを発生するタイミング発生装置において、該タイミング発生装置は、複数の遅延回路の入力と出力を交互に結合してなるシフト回路と前記遅延回路のいずれか1つの出力を選択する選択回路とからなり、該選択回路の出力を前記シフト回路の初段に入力する事により“1”又は“0”の情報を巡回シフトするリングカウンタと、前記パルスの変化点に対応する遅延回路の出力を入力する論理和回路と、前記論理和回路の出力を入力し、論理和が“1”の時のみ、論理状態を反転する反転遅延回路とを有し、前記選択回路による前記遅延

回路の選択を該タイミング発生装置の外部から行う事により、複数通りの周期をもつタイミングを得るようにした事の特徴とするタイミング発生装置。

(2) 反転遅延回路の出力を所望のタイミングとする特許請求の範囲第1項記載のタイミング発生装置。

(3) 反転遅延回路はJ-Kフリップフロップであつて論理和回路の出力を前記J-KフリップフロップのJ及びK入力に入力させる事の特徴とする特許請求の範囲第1項又は第2項に記載のタイミング発生装置。

(4) 反転遅延回路は、排他論理和回路と入力に応じて論理状態が変化するところのフリップフロップとからなり、前記排他論理和回路の入力は論理和回路の出力と前記フリップフロップの出力

とである事を特徴とする特許請求の範囲第1項又は第2項に記載のタイミング発生装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、周期性を有するパルス列からなるもののタイミングの発生装置に関する。

〔開示の概要〕

本明細書及び図面は、周期性を有するパルス列からなるタイミングの発生装置において、ステージ数を変えることの出来るリングカウンタと、パルス列の変化点に対応した位置におけるリングカウンタのステージの出力の論理和が“1”になる時にその論理状態が反転する反転遅延回路とを有し、該タイミング発生装置の外部からリングカウンタのステージ数を変更する事により異なった周期のタイミングを発生する事のできるタイミング発生装置を開示する。

〔従来技術〕

3

従来より論理回路設計に携わる者にとっては回路のタイミング設計は大きな問題であつた。即ち、個々の回路毎に要求される回路動作は異なり、しかしてそのタイミング設計もこれに合致する様に逐一考慮する必要があつた。

タイミング発生の補助手段として従来より、時々利用されるのが2進カウンタ回路である。これは第1図に示す様に異なつた信号波形を意圖に発生してくれるため、これらの信号のうちで都合の良いものを利用する事ができる。しかしながらカウンタ回路で発生される信号は、2倍、4倍、8倍…といった倍周期信号のみであり、これではごく一部のケースにしか適用できず、一般にはフリップフロップ及びゲート等を用いていくつかの信号を加工、変形して所用のタイミング信号を作り上げる事が多い。

4

即ち、タイミング設計に際しての常道、定石なるものは存在せず、一重に設計者の資質にゆだねられるところが多かつた。

更にはまた、こうして苦心して作り上げた回路に、不測の回路変更が生じ、そのタイミングに手を加えざるを得ない状況となつた時、回路の一部のタイミング改造が、別部分に影響を及ぼし、設計者はこの矛盾に苦しめられる事が多い。

〔発明が解決しようとする問題点〕

本発明は上記従来技術の問題点に鑑みてなされたもので、タイミング設計が容易で、異なる周期をもつタイミングを容易に発生するという点で汎用性、拡張性に富むタイミング発生装置を提供する事を課題とする。

〔問題点を解決するための手段〕

上記課題を達成する一手段として、例えば第1

図に示す実施例のタイミング発生方法及びその概略は、所望のタイミングの周期のうち最大の周期に対応したステージ（遅延回路）数をもつリングカウンタ100は外部からの指示により各ステージ出力のいずれか1つを選択してリングカウンタの初段に入力する選択回路103を有し、更にパルスの変化点に対応した遅延回路の出力を複数入力する論理和回路101と、反転遅延回路102とからなる。

〔作用〕

第1図の構成において、論理和回路101の入力は所望のタイミングの変化（“0”→“1”又は“1”→“0”）する位置に応じたステージの出力を入力として置き、該論理和回路101の論理和が“1”の時のみ反転遅延回路102はその論理状態を変化する。従って、ステージ数に応じ

てタイミング同期が決定され、論理和回路101に入力する遅延回路の位置によってパルスの変化が決定される。更に、前記周期は選択回路103によって外部から遅延回路の全数を限度として任意に変更する事ができる。

〔実施例〕

以下、本発明の実施例について図面を用いて詳細に説明する。

（基本動作）

まず、第3図（a）は実施例に適用されたタイミング発生のための基本型となるリングカウンタ回路である。リングカウンタとは一般に、シフトレジスタ回路のシフト出力信号を同じシフトレジスタ回路のレフト入力へ戻し、“環状”のフリツプフロツプ（以下F/Fと称する）列を形成している事にその名を由来している。

7

第3図（a）のリングカウンタは、特に動作開始時にいずれか1つの段のみに論理“1”がプリセットされている事に特徴がある。

第3図（b）に本リングカウンタへクロックを入力した時の状態遷移表を示す。動作開始時（プリセット時）、唯一の論理“1”がリングカウンタの初段 Q_1 にセットされるものとする。図に示す様にクロックが入力するたびに上記“唯一の論理“1””がリングカウンタの各ステージを巡回する。

（タイミング発生回路の1例）

第4図（a）は本発明の実施例の具体的回路図を示すもので、前述したリングカウンタ出力のいずれか2つのステージ（ Q_7 、 Q_8 ）の出力がOR回路1に入力され、更に、排他論理和回路2を含む半転型フリツプフロツプ回路（以下、F/Fと称

8

する）20に入力される。これらの排他論理和回路と反転型F/Fとの組合せが第1図の反転遅延回路を構成の一例である。

さて、OR回路1が T_{x1} に論理“1”を出力する条件とは、OR回路1に入力されるリングカウンタステージ出力のいずれかが論理“1”となる事（ $Q_7 + Q_8$ ）である。即ち、これは第3図（a）のリングカウンタの説明における“唯一の論理1”の移動によつて決定される事になる。従つて、排他論理和回路2の出力 T_{y1} が“1”となる条件はF/F 20の出力 T_1 が“1”でかつ T_{x1} が“0”である時か、又は T_1 が“0”で T_{x1} が“1”である時のいずれかである。

即ち、 T_1 をあるタイミングで“0”から“1”にするためには、そのタイミングに対応するステージの出力をOR回路1に入力すればよい。

又、F/F 20が1度セットすると、OR回路の出力 T_{11} が“0”である限りは T_{11} は“1”であり、F/F 20はセットしたままである。つまり、もし T_{11} が“1”から“0”となるタイミングが欲しければ、そのタイミングに対応するステージのF/Fの出力をOR回路に入力すればよい。

以上の点に留意して、第5図(b)タイムチャートを参照しながら説明する。ステージ1とステージ2の出力である Q_7 、 Q_8 をOR回路1の入力とする。従つて、图中 T_{11} に示すOR回路1の出力はリングカウンタにおける“論理1”の移動が丁度ステージ1もしくはステージ2に達しかかった時にのみ論理“1”を出力する。そして、最終タイミング出力 T_{11} はOR回路2における、この論理“1”出力から1クロック遅れて状態を反転する。F/F 20の初期状態を“0”とす

れば、その出力であるところのタイミング信号 T_{11} は Q_7 と Q_8 のステージ値、即ち、3-102クロック分の時間だけ、論理“1”となる。あとはリングカウンタが一周する同期であるところの5クロック同期毎に同じ波形を繰り返す。

出力タイミング信号 T_{11} はF/F 20を介する為、OR回路1より1クロック分遅れて出力される筈になるが、遂にOR回路1及び他論理和回路2の動作遅移時に生じるチャタ成分が取り除かれた“きれいな”波形を出力する効果を有する。

(タイミング設計)

以上は動作を主体に説明したものであるが、次に実施例を様々のタイミング発生用途に合わせて設計する時の手順について説明する。

第5図(a)～(d)に示す様に、

① まず、必要とされるタイミング波形のタイム

1.1

チャートを図3(第5図(a))、

② 次に1周期に何クロック必要かを割り出す。本例の場合は1周期5クロックである。そして、これに同数のステージ値をもつ前記リングカウンタを配設(第5図(b))し、

③ 次に、必要とするタイミング信号の個(本例では2つ)だけOR回路3、5、他論理和回路4、6とF/F 21、22を配(第5図(c))し、

④ そしてタイミング信号の立上り、立下りの位置に対応するリングカウンタステージの出力信号を選び、タイミング信号Aに対しては、第5図(c)から Q_{13} 、 Q_{14} をOR回路3に入力し、タイミング信号Bに対しては同じようにして Q_{14} 、 Q_{15} をOR回路5に入力する。(第5図(d))。

1.2

以上の手順によれば、同期性のある如何なる波形のタイミング信号においても、タイムチャートから類似的に回路図にまで落としいくことができるので、実施例に具体化された本発明の汎用性は高い。更に、タイミング信号を変更したい場合、周期の変更が必要でない限り、早にOR回路への入力信号をリングカウンタの別ステージ出力に置き換えるだけで済む。即ち、変更に対して安価で柔軟性に富むばかりでなく、リングカウンタそのものを変更するわけではないので他の回路への影響もない。もし同期まで変更する必要が生じてリングカウンタのステージ値が変わっても、それが他に及ぼす影響は容易に予測がつく。

更に、同一クロック系統のタイミング信号であれば、第5図(d)に示す様に、同じリングカウンタを共用でき、わずかにOR回路、他論理和回

随とF/F 回路を追加していくだけで安価に積込のタイミング信号を作り出せる。

そして第8図に示す様に、この小規模で安価な排他論理和回路とF/F 回路を共用しないようにして、できるだけ回路ブロック毎に図けて構成すれば、1つの回路ブロックにおけるタイミング変更による影響を他の回路ブロックに及ぼさずに済む。

さて、実施例のタイミング回路における動作遅延時間をみてみると、1クロックが進む間に動作すべきものはわずかにOR回路と排他論理和回路とフリップフロップ1ステージ分のみであり、このことからみても相当の高速動作が可能である。即ち、リングカウンタ回路のループを形成している要素はF/Fのみであり、しかも各F/Fはクロックによる同期動作となる為に同時動作となり、グ

リッチの発生もない。前述した従来例における2周カウンタを利用した場合には、カウンタ回路内のキャリー発生のために回路ステージ数が多く、動作遅延が大きい。本実施例によれば、動作速度の改善にもつながる。

更に本実施例においては、さざみ値を小さく、即ちクロックをより速め、かつこれに対応してリングカウンタステージ数を増やす事で、より正確なタイミング信号の形成を行ない得る。

しかるに本実施例のタイミング発生回路は高速度の論理回路や、高頻度のパルス発生器等の計測回路に対しても好適である。

(変形例1)

さて、前述実施例は一周期内に単一の変化を行なうタイミング信号を発生する例であつたが、更にそれを細り下げて、一周期内に2回、あるいは

15

それ以上の変化を行なわしめる事もできる。

これは前述のOR回路への入力数を増し、かつこの入力として該リングカウンタの積込のステージ出力を用いる事で行ない得る。第7図(a)にこの一例を示す。

第7図(a)においてはリングカウンタの出力Q20, Q22, Q24, Q26のそれぞれの变化時にOR回路15の出力T2が変化し、かくして図に示す様な1周期内に積込の変化を行なうタイミング信号T2が得られる。第7図(a)からも容易に理解出来るように、OR回路15への入力が積込あつても、その入力に対応するF/Fの変化タイミングで出力T2のタイミングが変化するから、概めて正確的にタイミングを把握できる。

(変形例2)

さて、第7図(a)においてはOR回路への入力

16

として、偶数番(第7図(a)では4番)の入力信号を用いたが、これを奇数番とした時、どのようなかを第8図(a), (b)に示す。

第8図(b)には変形例1と同様にして求めたタイミング波形T3が描かれているが、第1周期目(即ち奇数番の周期)と第2周期目(即ち偶数番の周期)で逆転したタイミング信号が得られており、交互に逆転したタイミング信号が必要をケースに好適である。逆にいえば、半周期毎に信号反転しているような場合は1周期分のステージ数をもつリングカウンタを準備する必要がなく、半周期分ですむ。

(変形例3)

次に本発明に於ては、出力タイミング信号の発生が容易であることから、可変のタイミング信号発生回路を得る事の可能な実施例も考えられる。この

17

18

場合出力タイミング信号を決定する要素として、出力タイミング信号の周波数を決定するところのリングカウンタのステージ数、そしてタイミング信号の幅と変化の時間位置を決定するところのOR回路への入力信号の選定、の2点である。

そこで、この2つの要素に対し、1つはリングカウンタの各ステージの出力のうちいずれの出力を反転してリングカウンタの入力に戻すかを選択する選択回路を配し、又他方各ステージの出力のうちいずれの1つ以上の出力を選択するかを選択回路を配し、それらの選択回路の選択指示を外部より行なわしめる事で、可変のタイミング信号発生回路を得る事ができる。

第9図にこの例を示す。Q₄₀…Q₄₄…のシフトレジスタにて形成されるリングカウンタ回路と、OR回路、排他論理和回路及びその出力をサンプル

19

力タイミング信号の時間位置とパルス幅を可変とする事になる。

(PLA の応用)

更に他の実施例として、色々なタイミング信号を得るのに必要な接続の変更を前述した様な選択回路ではなく、PLA (プログラマブルロジックアレイ) にて行なう事も考えられる。つまり、上述の各実施例に特徴的な事の1つはたとえゲートやP/F等が多数整然と並んでいる点であり、この事は回路のLSI化に適しているのみならず、更に変形例3のような場合は極めてPLA化に適している事を示している。

PLAは周知の通り、内部にゲート、P/F等の論理回路を多数配した素子で、一部の回路の内部結線が未結線のまま市販されたものである。フィールドにてこの未結線の部分(格子点)を例

するところのP/Fは前述の説明に同じであるが、これに更に図中33…38…に示す選択回路が加わる。

選択回路は市販のマルチプレクサを用いる事が出来よう。選択回路33はリングカウンタの各ステージ出力のいずれか1つを選択してシフトイン信号として初段にフィードバックする。いずれのステージ出力をフィードバックするかは自由に制御できる。即ち、これはリングカウンタのステージ数を自由に増減する事に等価であり、前述の如く出力タイミングの周期を可変とする事になる。

また、他の選択回路34~38…は前記OR回路入力の前ステージにも配置される。そしてOR回路入力としてリングカウンタのいずれのステージ出力を選ぶかを自由に制御できる。即ち、これは出

20

えば各格子点のヒューズを通んで飛ばすヒューズ切断方式により、又は各格子点にあるベースエミッタ接合を大電流で破壊してダイオードを作り出す接合破壊方式により外部からプログラム的に結線し固定化し得るところの新しい半導体デバイスである。本発明に係るPLA化の一実施例を第10図に示す。図中、X印が外部より結線指示を行ない得る箇所である。

図において、発生されるタイミング信号の周期を決定するものであるところのリングカウンタのステージ数の設定は、初ステージステージへの入力をリングカウンタのどのステージ出力と結線するかによつて決まり、図のX印に示すこの結線をプログラム可能とする事で、同一のPLAデバイスを複数用意すれば、周期の異なるタイミング発生回路を作り得る。

21

22

また、タイミング波形の時間位置とパルス巾については、OR回路41, 43, 45への入力をリングカウンタのどのステージ出力と結線するかで決まり、図中×印の結線をプログラム可能とする事で、同一のPLAデバイスを使用して、タイミングの時間位置とパルス巾の異なるタイミング発生回路を作り得る。OR回路41, 43, 45への入力として、第10図では2個の例を示したが、3個以上、あるいは奇数個用いれば前述の如く更に複雑なタイミングを発生する事もできる。

(実施例の特徴)

以上説明した様に、前記各実施例に特徴的な点は、回路構成が整然かつ配列的な形態となっており、タイミング回路の設計上、リングカウンタのステージ数の増減や、OR回路の入力選択、あるい

はOR回路、排他論理和回路及び(又は)F/Fの増減により適応性、拡張性に富んでいると言う事が出来る。

即ち、本実施例によれば、如何なる周期性のあるタイミング波形に対しても、タイムチャートから機械的にタイミング発生回路を作り得ると言う高い汎用性をもつ。

また、リングカウンタのステージ数の増加や、OR回路、排他論理和回路及びサンプリング用F/F回路を追加する事で、周期の長期化、あるいは1つのリングカウンタ回路から多数個のタイミング信号を生成し得ると言う拡張性を有する。

更にはまた、OR回路に多数個のリングカウンタステージ出力を入力する事で、複雑な波形のタイミング信号をも発生し得、適用性が大きい。

更に、OR回路に奇数個入力を行なう事で半周期

23

毎に逆転したるタイミング波形をも作り得る。

また、実施例の回路の動作遅延に関わる回路ステージ数が少ない事から、高連動作を可能とするという利点を有する。

更に、クロックを高速化し、かつリングカウンタステージ数を追加する事で、より高精度のタイミング波形が得られるという利点を有する。

また、タイミングの変更をわずかの配線変更によつて行ない得る事から、選択回路を用いて可変のタイミング発生回路を得ることができるという利点がある。

更に、回路構成が配列的な事と、上記タイミング変更の容易な事からPLA化を行なう事で、汎用性のあるタイミング発生用デバイスであって、フィールドでプログラム化可能なものを得る事ができる。

25

24

(回路素子の置換)

第1図の反転遅延回路の一例として、第2図～から第10図中ではいわゆるDタイプのF/Fと排他論理回路との組合せを用いて説明したが、いわゆるJ-KタイプのF/Fを用いて、OR回路出力をこのJ-KタイプのF/FのJ及びK入力端子に入力しても同様の効果が得られる。

又、リングカウンタに用いられているF/Fなるものはあくまでも1例であり、その他に単安定マルチ、遅延線等による遅延素子であっても、同様な効果が得られる。

(発明の効果)

以上説明したように本発明によれば、回路構成が整然かつ配列的な形態となつていたので、タイミング設計が容易であり、更にタイミングの周期を外部から容易に変更できるという拡張性、汎用

26

性に富んだタイミング発生装置が得られる。

4. 図面の簡単な説明

第1図は基本実施例の構成図。

第2図は従来の2進カウンタの出力のタイミングチャート。

第3図(a)、(b)は本発明に係る実施例に適用される基本的なリングカウンタの回路、及び各ステージにおける状態遷移を図。

第4図(a)、(b)は実施例の回路図及びそのタイミングチャート。

第5図(a)～(d)はリングカウンタ回路の設計方法を段階的に示した図。

第6図は実施例のタイミング発生回路が複数のタイミングを発生して複数の回路ブロックを駆動する様子を示した図。

第7図(a)、(b)は変形例1の回路図及び

そのタイミングチャート。

第8図(a)、(b)は変形例2の回路図及びそのタイミングチャート。

第9図は変形例3の回路図。

第10図は実施例にPLAを応用した場合の回路図である。

图中、

1, 3, 5, 7, 9, 11, 13, 15, 17, 40, 41, 43, 45...OR回路、2, 4, 6, 8, 10, 12, 14, 16, 18, 19, 42, 44, 46...排他論理回路、Q1～Q44...フリップフロップである。

特許出願人 キヤノン株式会社

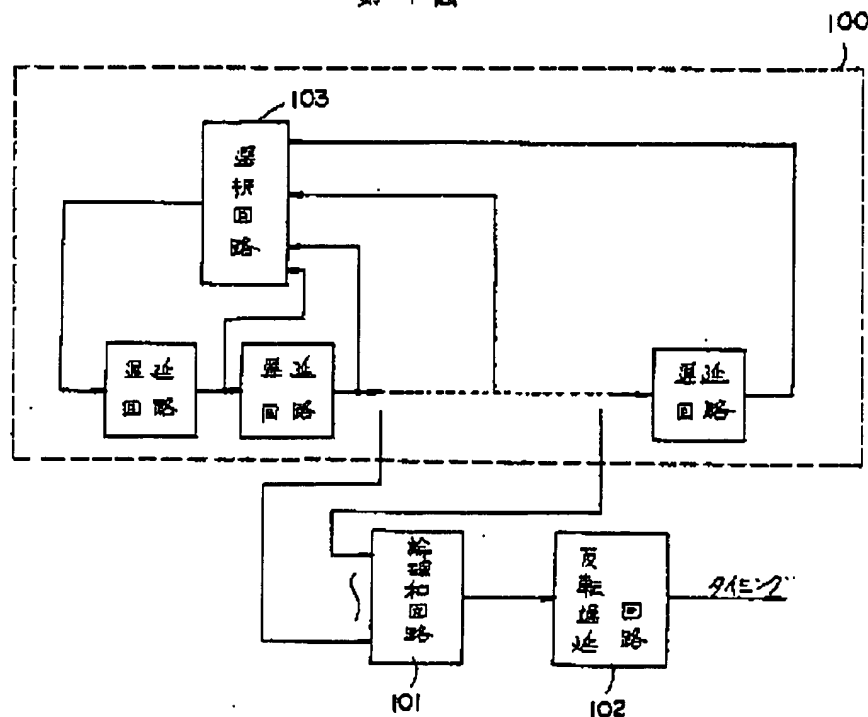
代理人 弁理士 大塚 康 徳



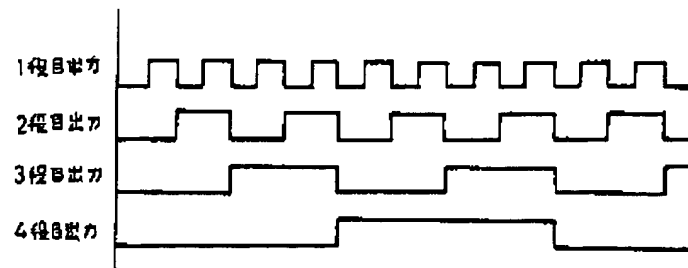
27

28

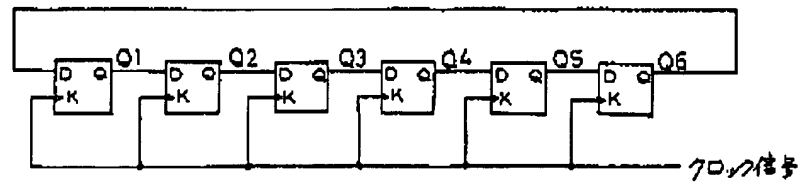
第1図



第 2 図



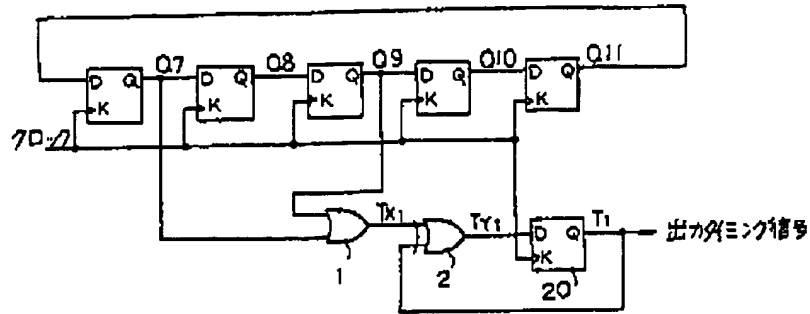
第 3 図 (a)



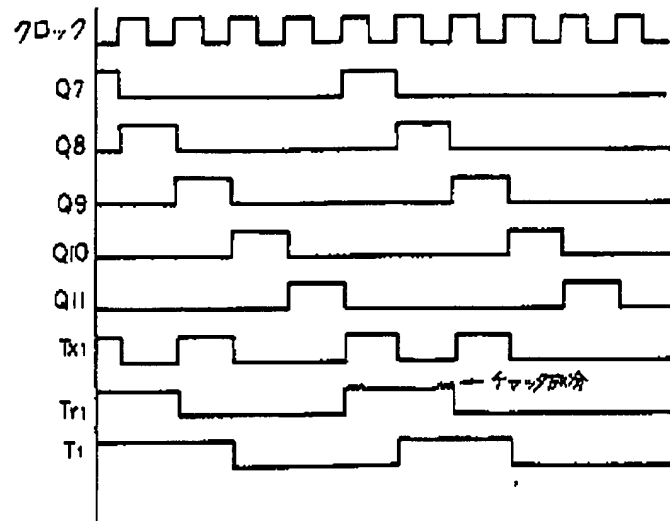
第 3 図 (b)

	Q1	Q2	Q3	Q4	Q5	Q6
リセット後	1	0	0	0	0	0
クロック 1	0	1	0	0	0	0
2	0	0	1	0	0	0
3	0	0	0	1	0	0
4	0	0	0	0	1	0
5	0	0	0	0	0	1
6	1	0	0	0	0	0
7	0	1	0	0	0	0
8	0	0	1	0	0	0
9	0	0	0	1	0	0
10	0	0	0	0	1	0
11	0	0	0	0	0	1
12	1	0	0	0	0	0
13	0	1	0	0	0	0
14	0	0	1	0	0	0
15	0	0	0	1	0	0
16	0	0	0	0	1	0
17	0	0	0	0	0	1
18	1	0	0	0	0	0

第 4 図 (a)

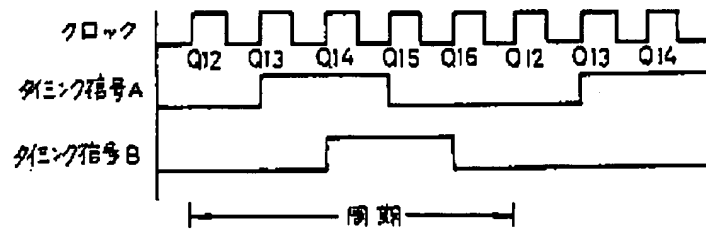


第 4 図 (b)



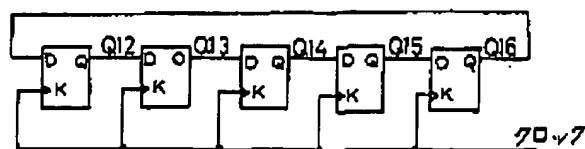
第 5 図 (a)

① タイムチャート作成



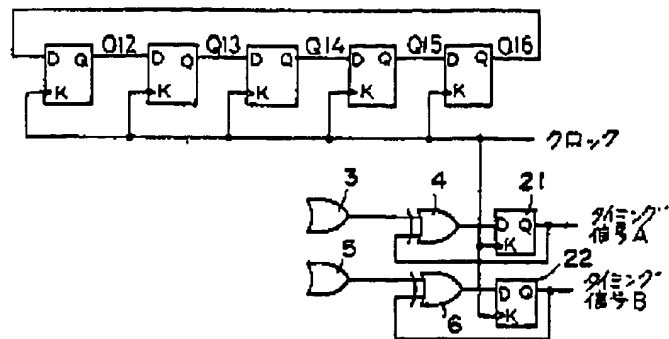
第 5 図 (b)

② 同期決定



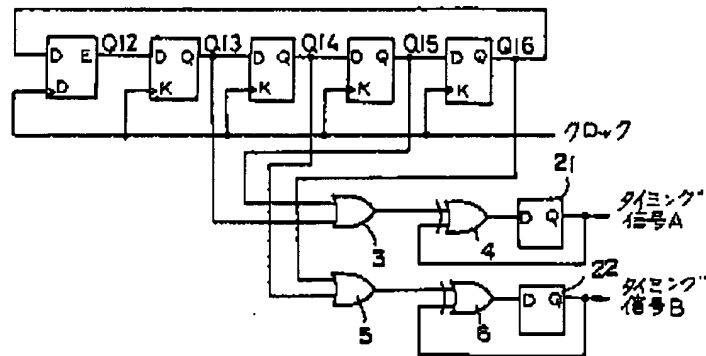
第 5 図 (c)

③ 出力数決定

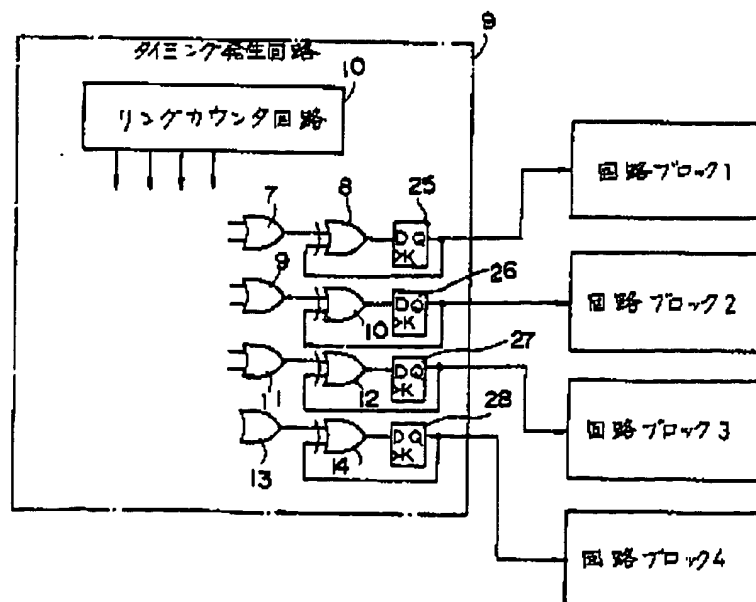


第 5 図 (d)

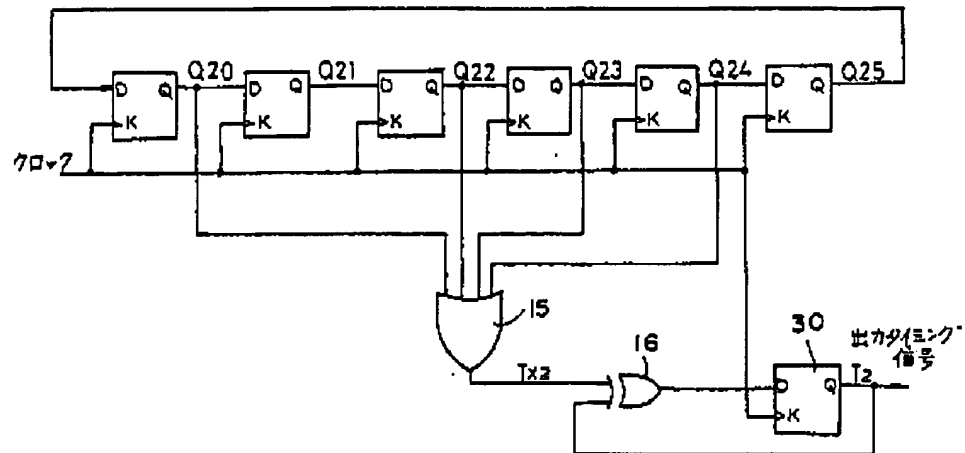
④ タイミングの位置と幅決定



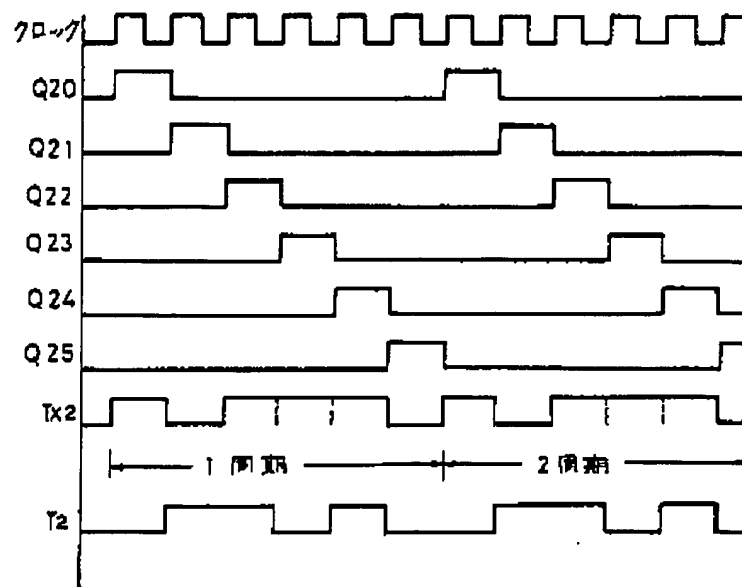
第 6 図



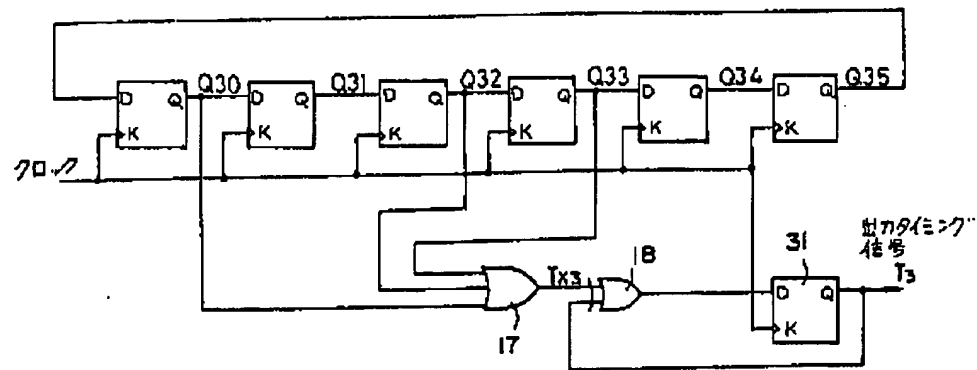
第 7 図 (a)



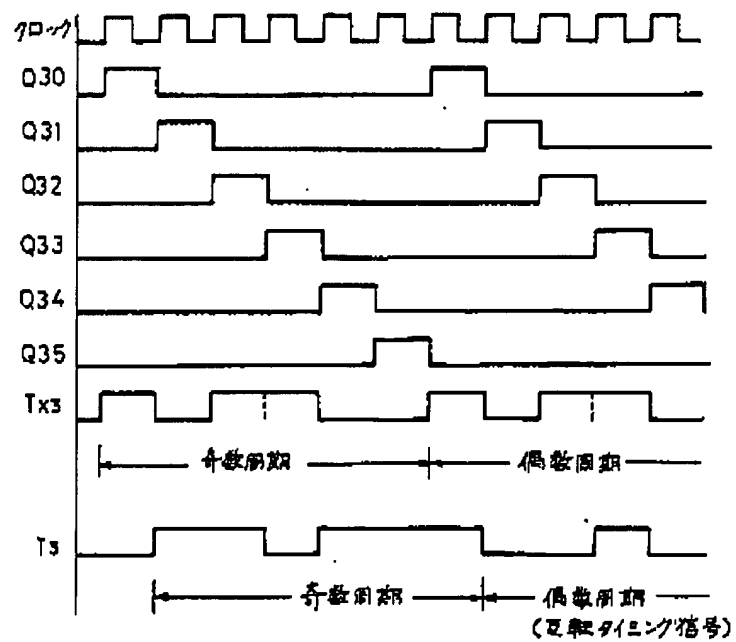
第 7 図 (b)



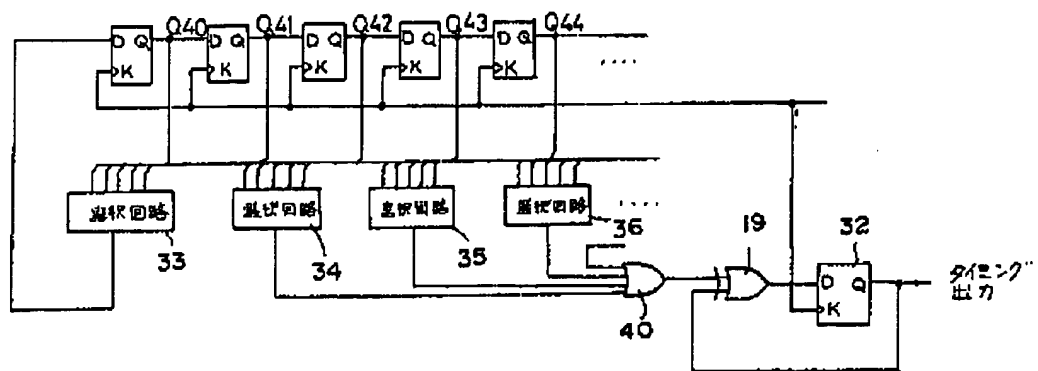
第 8 圖 (a)



第 8 圖 (b)



第 9 図



第 10 図

